

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-122197

(43)Date of publication of application : 18.05.1993

(51)Int.Cl. H04L 1/00  
H03M 13/00

(21)Application number : 03-282899

(71)Applicant : NIPPON HOSO KYOKAI <NHK>

(22)Date of filing : 29.10.1991

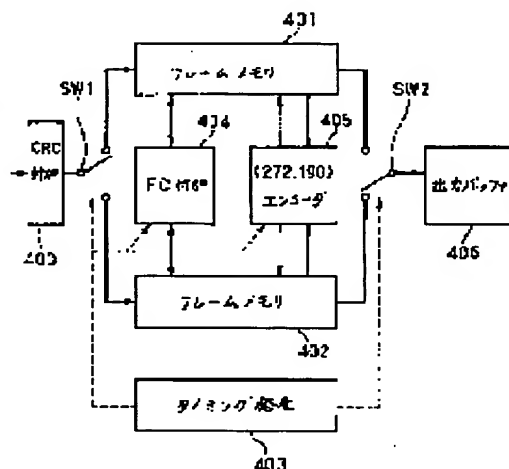
(72)Inventor : KURODA TORU  
SAITO MASANORI  
MORIYAMA SHIGEKI  
SAITO TOMOHIRO  
TAKADA MASAYUKI  
YAMADA TSUKASA

## (54) DATA TRANSFER DEVICE

### (57)Abstract:

**PURPOSE:** To decode data in an instant and to cancel a time delay by forming a frame comprising a product code by a block code and sending data in the same direction as the horizontal encoding direction in the frame.

**CONSTITUTION:** A CRC adding circuit 400 adds CRC for each block unit to input data. A timing generation circuit 403 drives I/O switches (SW) 1 and 2 in a prescribed timing. The SW 1 and 2 switch over an input data to frame memories 401 and 402 and the output data to an output buffer 406. As an encoder 405 adds a parity in the horizontal direction, the encoding in the vertical direction is performed after all the encoding in the horizontal direction is finished. Finally, a block identification code adding circuit 404 adds different frame codes to an information part and a parity part, transfers it to a buffer 406 to successively output the results to the outside in a prescribed order of transmission. Thus, the decoding can be performed in an instant, thereby canceling the time delay.



## LEGAL STATUS

[Date of request for examination] 12.04.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2664303

[Date of registration] 20.06.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-122197

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.<sup>5</sup>

H 0 4 L 1/00

H 0 3 M 13/00

識別記号

B 6942-5K

7259-5J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数5(全 6 頁)

(21)出願番号 特願平3-282899

(22)出願日 平成3年(1991)10月29日

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72)発明者 黒田 徹

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(72)発明者 斉藤 正典

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(72)発明者 森山 繁樹

東京都世田谷区砧一丁目10番11号 日本放送協会放送技術研究所内

(74)代理人 弁理士 谷 義一 (外1名)

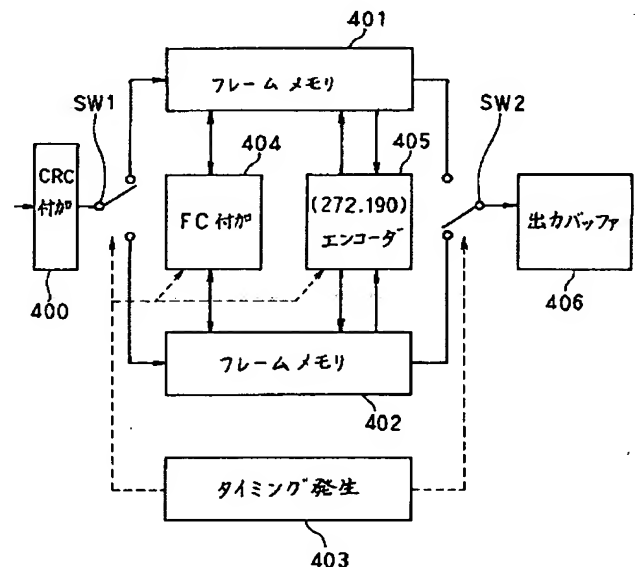
最終頁に続く

(54)【発明の名称】 データ伝送装置

(57)【要約】

【目的】 伝送条件のよいところでは積符号の復号をせずに瞬時にデータ復号を可能にし、伝送条件の悪いところでは積符号により強力な誤り訂正効果を発揮できるようにすること。

【構成】 ブロック符号による積符号を構成するフレームを形成するフレームメモリ401、402およびエンコーダ405と、フレームメモリ401、402からのデータを横方向の符号化方向と同一の方向に送出する出力バッファ406とを具える。



## 【特許請求の範囲】

【請求項1】 ブロック符号による積符号を構成するフレームを形成するフレーム形成手段と、該フレーム形成手段によって形成されたフレーム内において横方向の符号化方向と同一の方向にデータを送出する送出手段とを具えたことを特徴とするデータ伝送装置。

【請求項2】 前記フレーム形成手段は、前記フレームにおいて、情報部のブロック識別信号とパリティ部のブロック識別信号とを別の信号にすることを特徴とする請求項1に記載のデータ伝送装置。

【請求項3】 前記ブロック符号として、(272, 190) 符号を用いることを特徴とする請求項1に記載のデータ伝送装置。

【請求項4】 前記フレーム形成手段は、前記積符号の横方向の符号の中に、誤り検出符号を付加することを特徴とする請求項3に記載のデータ伝送装置。

【請求項5】 前記フレーム形成手段は、数ブロックで構成されるデータを送出する場合にデータの最後のブロックに識別コードを付加すると共に、データ全体の誤り検出を行う誤り検出符号を付加することを特徴とする請求項1に記載のデータ伝送装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はデータ伝送装置に関するもので、特に移動受信方式のFM多重放送のように、伝送品質が悪く、ビットレートがそれほど高くとれない回線でのデータ伝送装置に関するものである。

## 【0002】

【発明の概要】 本発明は、移動受信用FM多重放送のように極めて伝送品質が悪く、ビットレートがそれほど高くとれない回線におけるデータ伝送において、パケット単位で伝送する形式の積符号を用いることにより、伝送条件のよいところでは積符号の復号をせずに瞬時にデータ復号を可能にし、伝送条件の悪いところでは積符号により強力な誤り訂正効果を発揮できるようにするものである。

## 【0003】

【従来の技術】 移動受信用のFM多重放送としては、CIRのRECOMMENDATION 643に示されている方式であるRDSがあるが、誤り訂正符号としては訂正能力の余り高くない(26, 16) 符号が用いられ、誤り訂正による受信よりも再送によるデータ入れ替えによる受信に頼っているのが現状である。

【0004】 また、固定受信方式ではあるが、日本におけるFM多重放送があり、フレーム構成としては、図6に示すように(272, 190) 符号を用いた272×34のフレームを用いている。図6において101で示されるように信号伝送順は斜めになっている。

【0005】 さらにまた、(272, 190) を用いたデータ伝送に関しては、日本の文字放送で用いられてお

り、関連出願としては特願昭58-6579号、特願昭58-54002号がある。

## 【0006】

【発明が解決しようとする課題】 上述の従来の方式のうち(26, 16) を用いる方式については、誤り訂正効果が低く、日本語のような表意文字や交通情報のデータなど誤りに対して影響の大きいデータ伝送には適していない。

【0007】 また、固定受信方式で用いられている(272, 190) 符号を用いた272×34のフレーム構成は、フレーム同期の送出回数が少く、誤りの多い回線ではフレームはずれなどが起きるおそれがある。また、送出順を斜めにすることで誤りが分散するといった利点はあるものの、固定受信方式に比べてビットレートが低い移動受信方式においてはデータを復調するまでに時間がかかりすぎ、局名表示など電源をいれてすぐに必要となる情報に対しては適さない。さらに、移動受信方式で問題となるフェージングによるバースト誤りに対しては、34パケット程度ではインターリーブの効果も不足している。

【0008】 そこで、本発明の目的は以上のような問題を解消したデータ伝送装置を提供することにある。

## 【0009】

【課題を解決するための手段】 上記目的を達成するため、本発明は、ブロック符号による積符号を構成するフレームを形成するフレーム形成手段と、該フレーム形成手段によって形成されたフレーム内において横方向の符号化方向と同一の方向にデータを送出する送出手段とを具えたことを特徴とする。

## 【0010】

【作用】 本発明によれば、伝送条件の良いところでは積符号の復号をせずに瞬時にデータ復号が可能になり、伝送条件の悪いところでは積符号により強力な誤り訂正効果が発揮される。

## 【0011】

【実施例】 以下、図面を参照して本発明の実施例を詳細に説明する。

【0012】 図2に、本発明によるフレーム構成の例を示す。

【0013】 201のBIC1, 202のBIC2はブロックの同期をとるためのブロック識別コードである。203のパリティ1はブロック識別コードを除いた190ビットを(272, 190) 符号により横方向に符号化したパリティである。204のパリティ2は190パケットの各パケット縦1ビットごとに(272, 190) 符号により縦方向に符号化したものである。205のパリティ3は縦および横の両方に付けられたパリティであり、積符号の性質から縦横両方のパリティとなっている。206は各ブロックに付けられたCRCであり、(272, 190) 符号の見逃し誤りを検出するための

ものである。送出順は図中の矢印（207）によって示される順であって、この順にデータを送出する。

【0014】図2に示されるフレーム構成を用いることにより、受信機側では送出された信号を $272 \times 272$ のフレームがすべて受信できていなくとも、ブロック単位でそのまま復号することができ、局名表示など瞬時に表示したいデータの伝送に適している。また、送出されたブロックがデータ部かパリティ部かについては、ブロックの先頭に付けられたブロック識別コードにより識別可能であり、パリティ部をデータと誤認して復号することはない。また、伝送の条件が悪い場合については、横方向だけの誤り訂正では復号できない場合もでてくる。通常の単方向だけを保護した誤り訂正方式では、次に同一のデータが送られてくるまで待つ必要があったが、本方式を用いると、 $272 \times 272$ のフレームが受信できた段階で縦方向に復号し、さらに横方向に復号することにより、 $272 \times 272$ ビット分の誤りが平均化され、さらに2重に誤り訂正符号を復号できることにより、誤り訂正効果が上がり、次のデータを待つことなくデータ復号が可能となる。

【0015】図1に本発明による伝送装置の例を示す。

【0016】400はCRC付加回路であって、入力されたデータに各ブロック単位のCRCを付加する。CRC付加回路400の出力データは入力スイッチSW1を介して401または402のフレームメモリに蓄えられる。

【0017】403はタイミング発生回路であり、所定のビットレートによって1フレームを送出するタイミングを発生させ、入力スイッチSW1および2つのフレームメモリ401、402のいずれかからのデータを出力バッファ406に入力するための出力スイッチSW2を切り替える。この際スイッチは互いに反対のフレームメモリに接続される。405はフレームメモリ内のデータに誤り訂正符号を付けるエンコーダであって、タイミング発生回路403によりスイッチSW1、SW2が切り替わったことを確認した後、入力スイッチSW1に接続されていない側のフレームメモリ内のデータに誤り訂正符号を付加する。404はブロック識別コード付加回路であり、入力スイッチSW1に接続されていない側のフレームメモリ内のデータにエンコーダ405により誤り訂正符号が付加されたことを確認した後、BIC1またはBIC2を付加する。これらの結果、フレームメモリにおいて図2に示したフレームが完成する。このデータは出力スイッチSW2を介して出力バッファ406に転送され、図2に示した送出順に従って送出される。

【0018】ついで、図1に示す装置を用いて本発明のフレームを構成する手順を図3に示す。

【0019】まず、301において送出すべきデータをCRC付加回路400に入力する。302において、例えば16ビットのCRCを用いる場合には、情報174

ビットに対するCRCをCRC付加回路400において付加する。なお、数ブロックにわたるデータを送出する場合、データの最後のブロックについては、そのデータすべてにわたるCRCを各ブロックに付けたCRCとは別にデータ部174ビット中に挿入する。あるいは、データすべてにわたるCRCと各ブロックに付けられたCRCとのANDまたはEX-ORなどをとり、各ブロックのCRC部に挿入する。ついで、303において横方向のパリティをデータに付加するために、エンコーダ405によって（272，190）符号のエンコードを行う。301，302，303は190回行い、横方向の符号化をすべて行う。ついで304においてエンコーダ405によって縦方向の符号化を行う。これは、横のビット数は272ビットあるために272回行う。最後に305，306において、ブロック識別コード付加回路404によって情報部、パリティ部のそれぞれについて異なったフレームコードを付加し、出力バッファに転送し、外部に図2に示す送出順にデータを送出する。

【0020】図4に本発明による別のフレーム構成を示す。

【0021】このフレーム構成は、図2によるフレーム構成をした後、ブロックを入れ替え、パリティブロックを82ブロック集中して送出することがないようにしたものである。このようにすることによって、リアルタイムに必要な情報がパリティ部の期間にあたっているため送出できなくなることを防ぐことができる。ブロック識別コードは図2に構成の場合には2種類を用いていたが、本構成の場合、2種類で送出することも可能であるが、フレーム構成が若干複雑になるため4種類の符号を用いる。なお、送出順は図2の構成と同じである。

【0022】図5に、図1に示す装置を用いて図4で示したフレームを構成する手順を示す。301～304までは図3に示す手順と同様に構成をした後、501でフレーム内のブロックの入れ替えをブロック識別コード付加回路404によって図4に示すように行い、502でブロック識別コード付加回路404によって各ブロックに対応した識別符号を付加した後、出力バッファ406に転送し、図4（図2と同じ）に示す送出順にデータを送出する。

【0023】

【発明の効果】本発明によれば、積符号による強力な誤り訂正を得ると共に、片方向の訂正符号の復号を行うことにより、瞬時に復号が可能となり、インターリーブを行った場合に問題となる時間遅れについても解消できる。

【図面の簡単な説明】

【図1】本発明によるフレーム構成の一例を示す図である。

【図2】本発明のフレームを構成する手順の一例を示す図である。

【図3】本発明による信号伝送装置の例を示す図である。

【図4】本発明によるフレーム構成の他の例を示す図である。

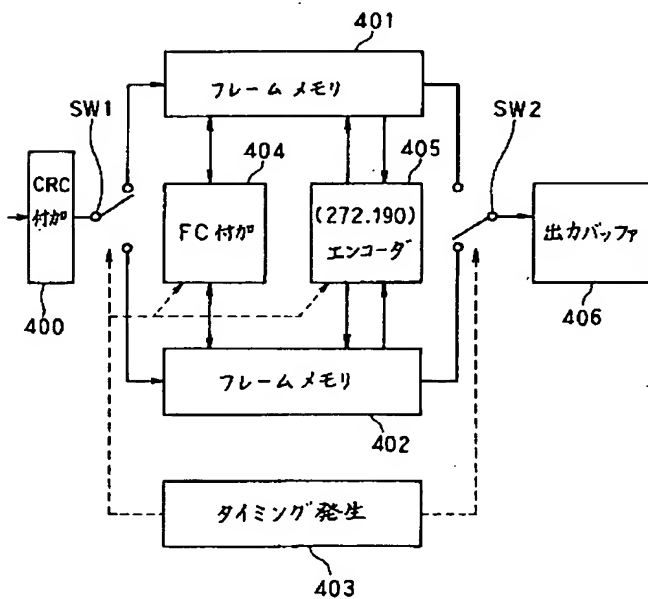
【図5】本発明のフレームを構成する手順の他の例を示す図である。

【図6】従来の固定受信方式FM多重放送に用いられているフレーム構成を示す図である。

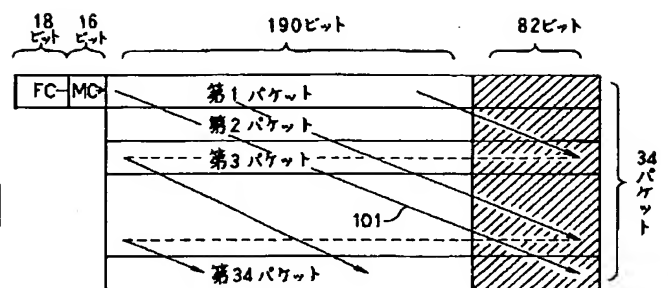
【符号の説明】

- 400 CRC付加回路
- 401, 402 フレームメモリ
- 403 タイミング発生回路
- 404 識別コード付加回路
- 405 エンコーダ
- 406 出力バッファ

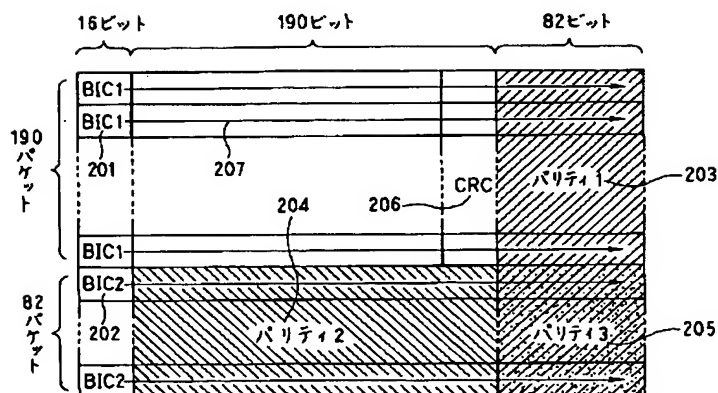
【図1】



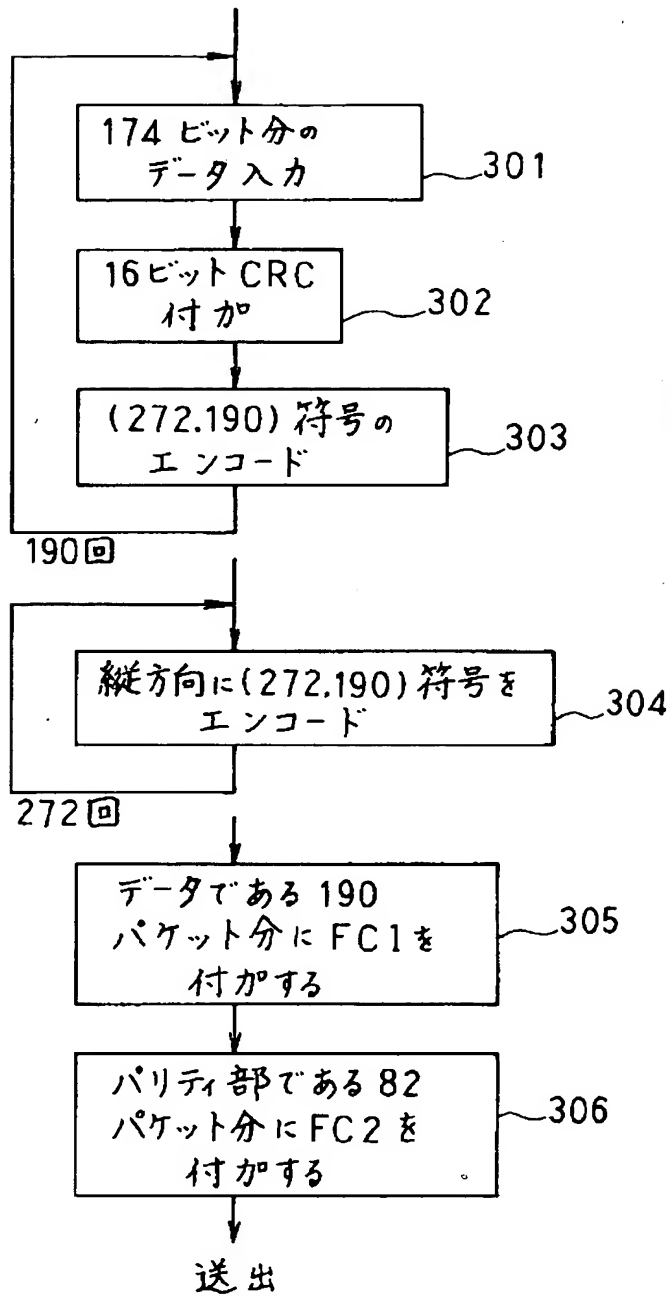
【図6】



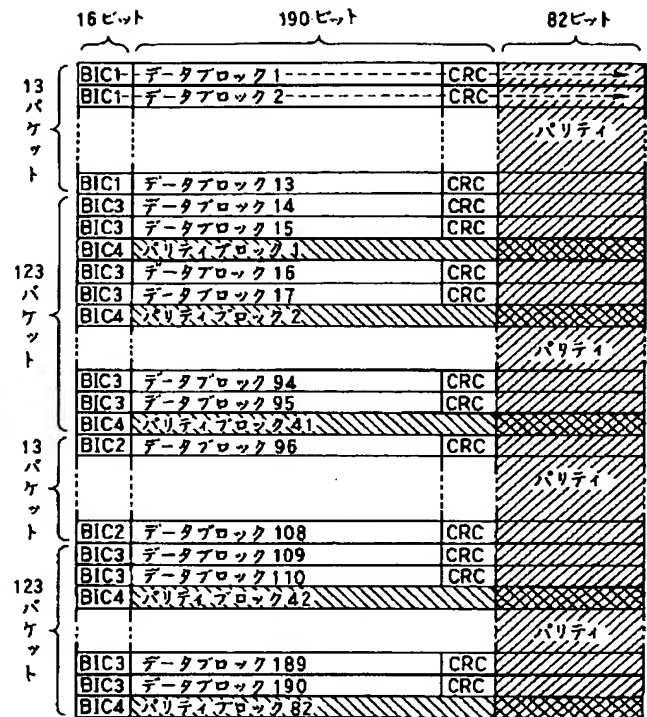
【図2】



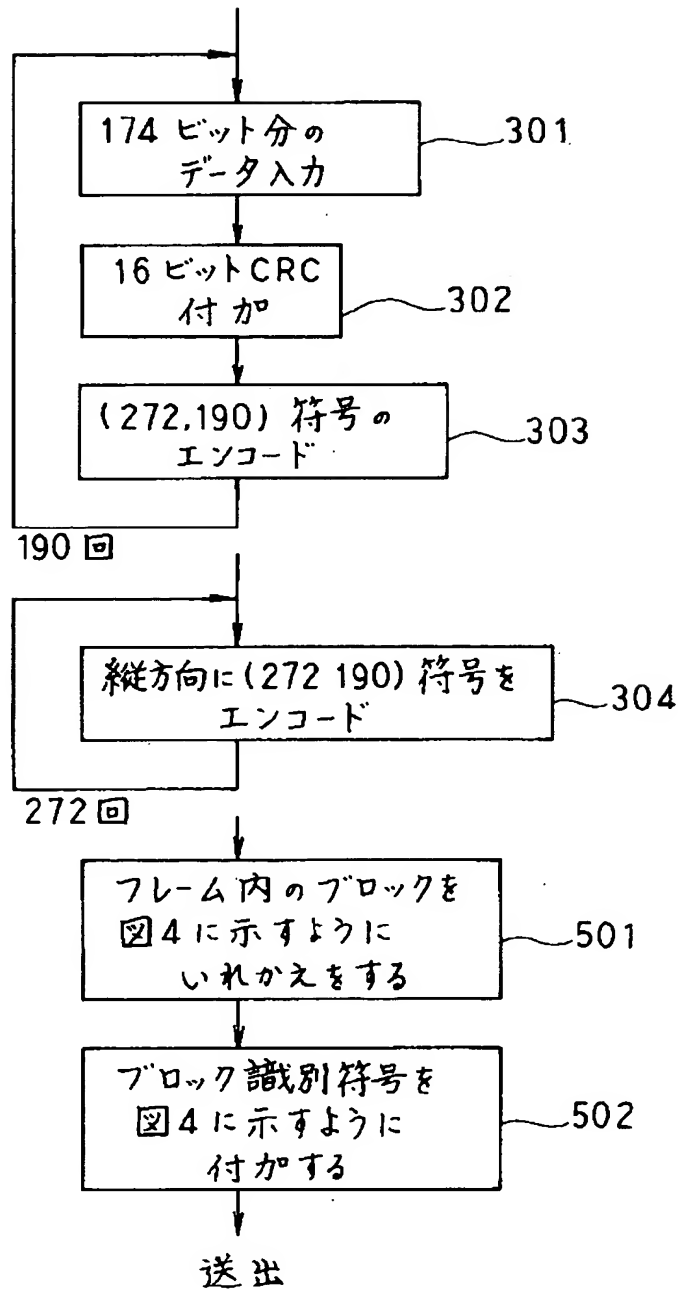
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 斉藤 知弘  
東京都世田谷区砧一丁目10番11号 日本放  
送協会放送技術研究所内

(72)発明者 高田 政幸  
東京都世田谷区砧一丁目10番11号 日本放  
送協会放送技術研究所内

(72)発明者 山田 幸  
東京都世田谷区砧一丁目10番11号 日本放  
送協会放送技術研究所内